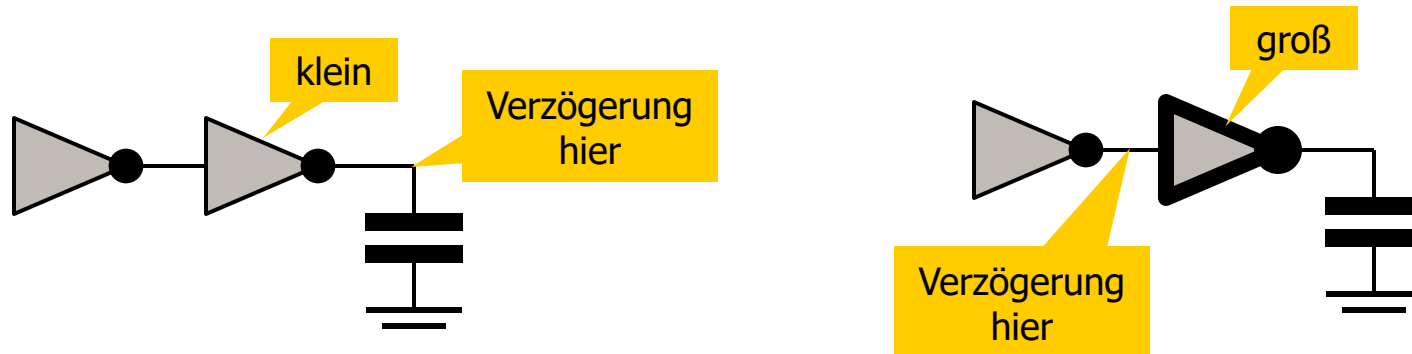

BUFFER

Treiben großer Lasten

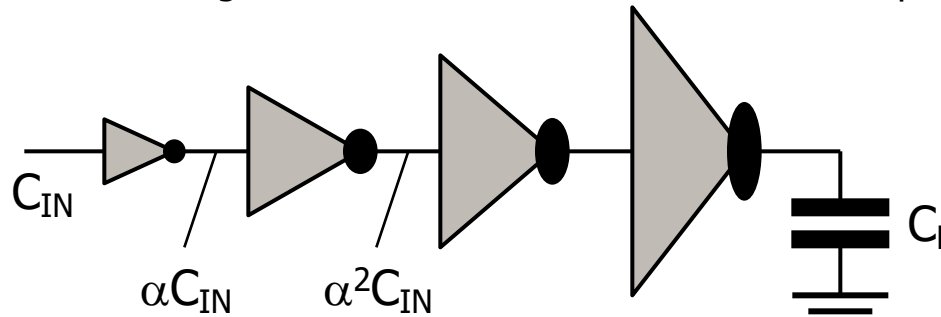
- Aufgabe: Treibe eine gegebene, **große (kapazitive) Last** mit **minimaler** Verzögerung !
- Beispiele sind Netze mit hohem Fanout, Pads (externe Lasten haben leicht 10pF!), Taktleitungen
- Wegen $t_p \sim \frac{C_L}{K (W/L) VDD}$ muss man **W erhöhen (L minimal)**, um das hohe C_L zu tolerieren.
- **ABER:** Die Eingangskapazität eines großen (breiten) Inverters ist hoch, so dass dieser wiederum **selbst** schwer zu treiben ist. Das Problem ist also nur verschoben.



- Man denke auch an die hohen **Querströme**, die wegen der langsamen Anstiegszeit des Eingangssignals im großen Inverter rechts fließen !!

Inverterkette als Buffer

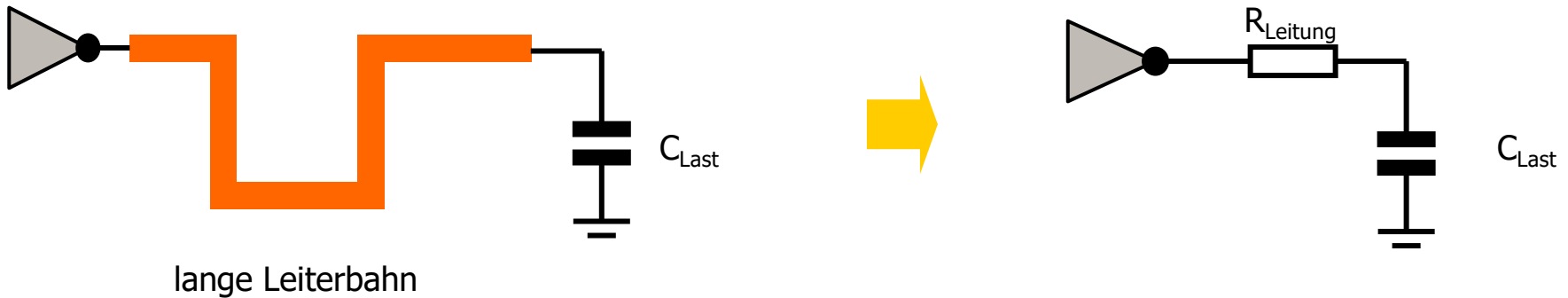
- **Lösung:** Kette aus zunehmend größer werdenden Invertern. Gesucht: ‚Optimale‘ Vergrößerung α pro Stufe



- Die Kette bestehe aus **n Invertern**, die um jeweils einen **Faktor α** größer werden
- t_{p0} sei die Verzögerung eines Inverters, der einen gleichgroßen Inverter treibt
- Die Verzögerung beim Treiben **eines** der α -fach größeren Inv. (höhere Eingangskapazität) ist dann $t_p \sim \alpha t_{p0}$
- Die **Gesamtverzögerung** der n Stufen ist $T = n t_p = n \alpha t_{p0}$
- Die Kapazitäten skalieren so, dass $C_L = \alpha^n C_{IN} \Leftrightarrow n = \ln(C_L/C_{IN}) / \ln \alpha$
- Also **$T(\alpha) = n \alpha t_{p0} = (\alpha / \ln \alpha) \ln(C_L/C_{IN}) t_{p0}$**
- **Hier ist nur α unbekannt.** $\partial T(\alpha)/\partial \alpha = 0$ liefert **$\alpha = e = 2.718...$** und $T_{\min} = e \ln(C_L/C_{IN}) t_{p0}$
- **Jeder Inverter ist also etwa 3x so groß wie der vorhergehende**
- Man braucht **$\ln(C_L/C_{IN})$ Stufen**
- Aus verschiedenen Gründen (z.B. Minimierung des Querstroms oder der Fläche) sind etwas größere Verhältnisse (10) oft besser. Die Erhöhung der Verzögerung ist minimal (wenige %, s. Buch v. Veendrick).

Treiben einer entfernten GROSSEN Last(kapazität)

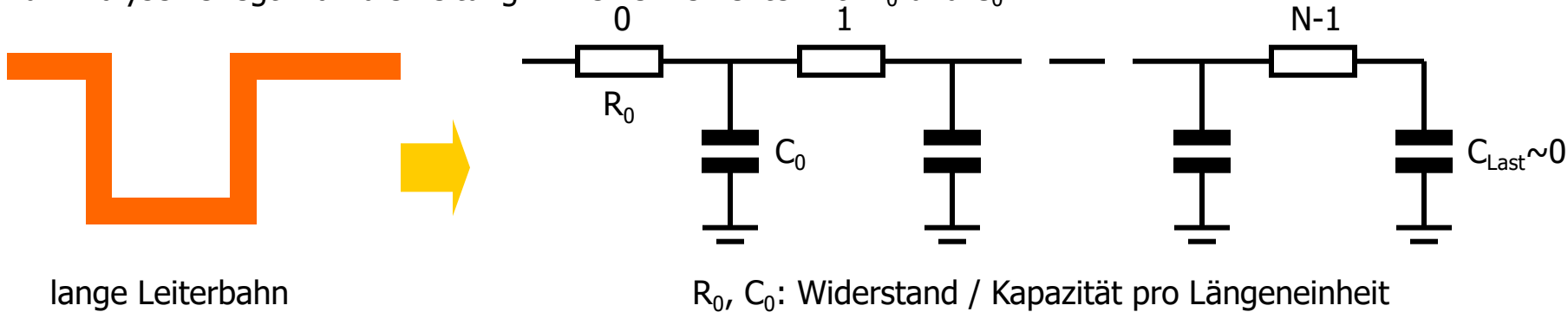
- Beim Treiben einer entfernten Lastkapazität durch eine lange Leitung führt der Leitungswiderstand zu einem zusätzlichen RC Effekt



- Solange die parasitäre Kapazität der Leitung klein ist gegen C_{Last} ist, kann man ihre Kapazität vernachlässigen.
- Es kommt also nur auf den Widerstand an -> breite Leitung.

RC Verzögerung durch Leitungswiderstand

- Das Treiben einer **kleinen** entfernten Last durch eine lange Leitung trägt die **Kapazität der Leitung selbst** zur RC Verzögerung bei.
- Zur Analyse zerlegt man die Leitung in kleine Elemente mit R_0 und C_0 .



- Eine pessimistische, 'worst case' Abschätzung erhält man, wenn man ALLE Rs addiert und ALLE Cs addiert (**Elmore-Delay**):



- Wenn R_0 und C_0 der Widerstand / die Kapazität pro μm sind, dann steigt der Delay also quadratisch mit der Länge der Leitung!!!

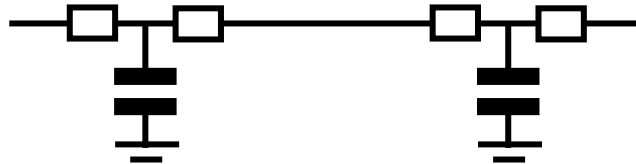
Bessere Näherungsweise Modellierung: L,T,P

- Eine reale Leitung mit verteiltem R,C kann näherungsweise auf mehrere Arten modelliert / simuliert werden:

- „L“ = RC Elemente:



- T – Elemente:



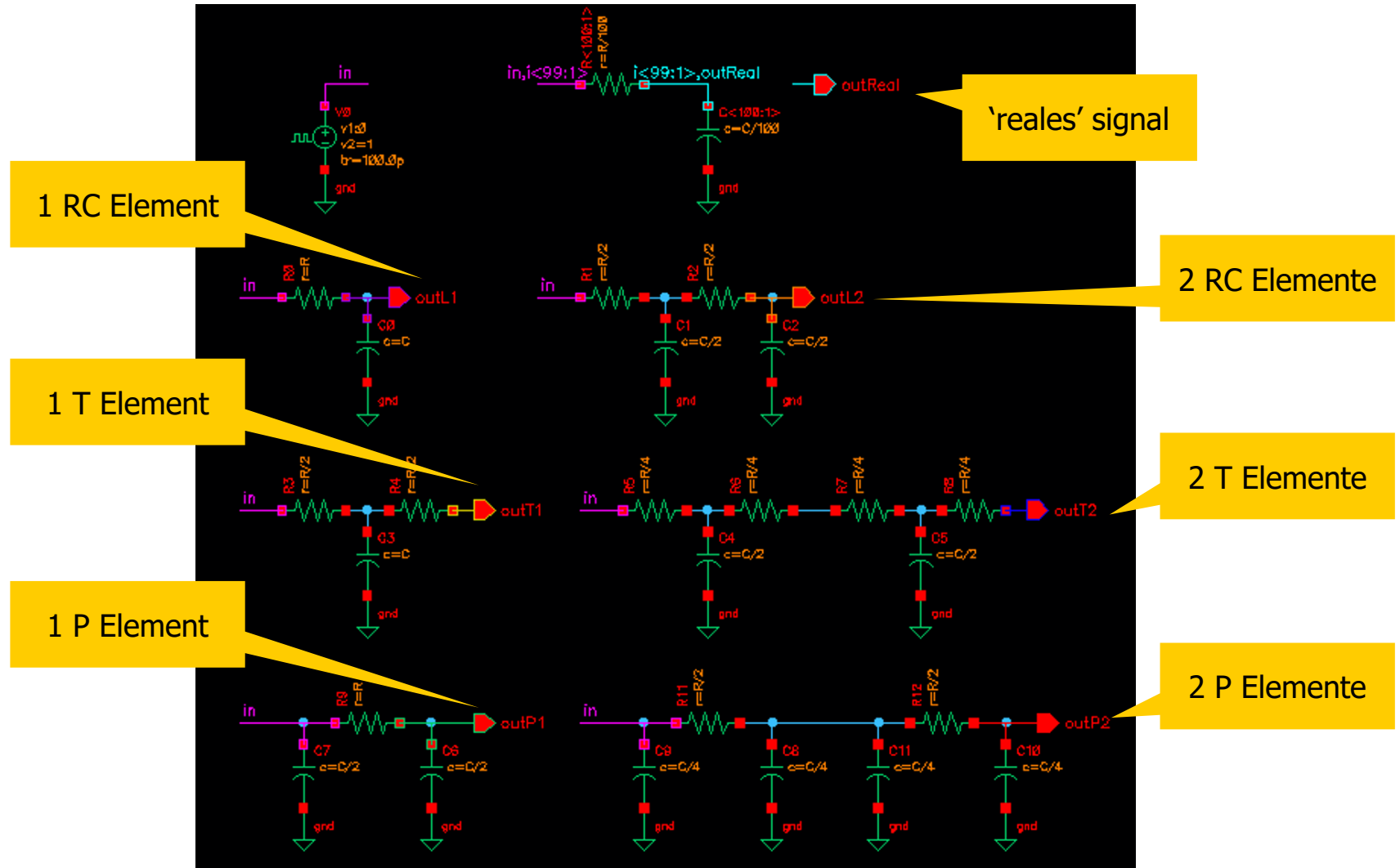
- π (P) – Elemente:



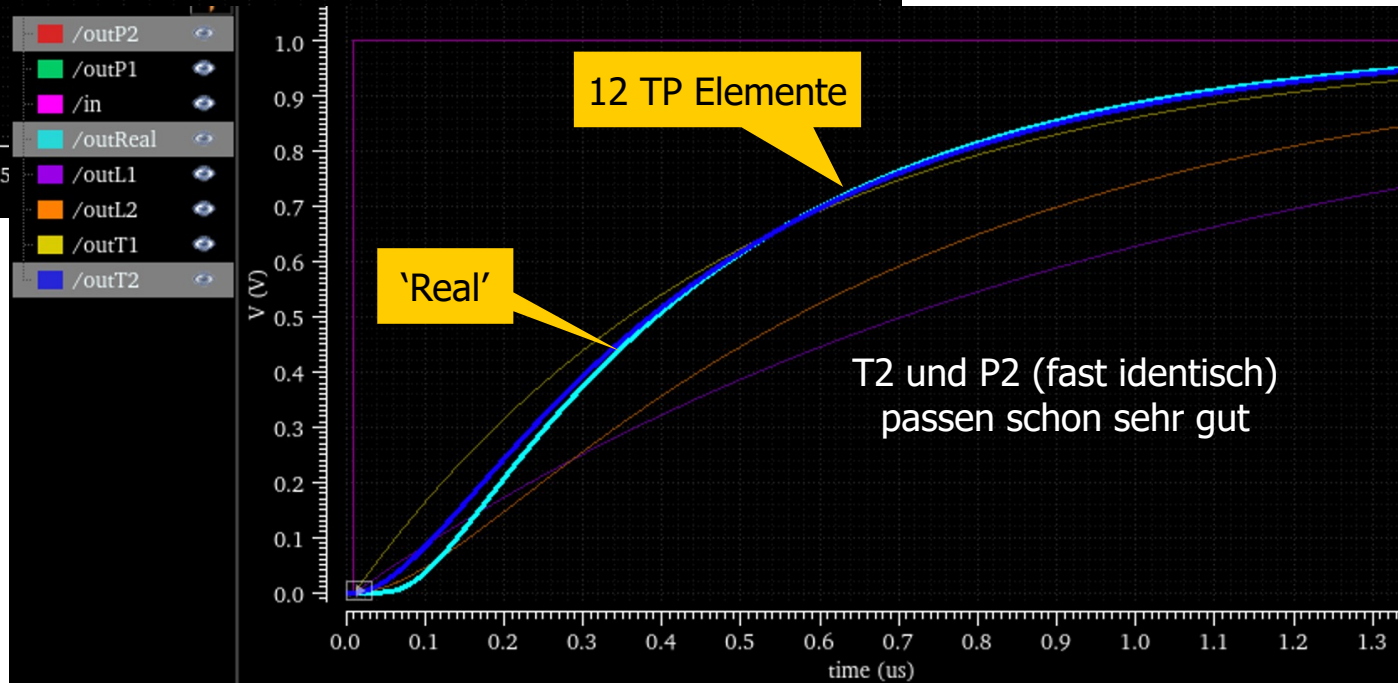
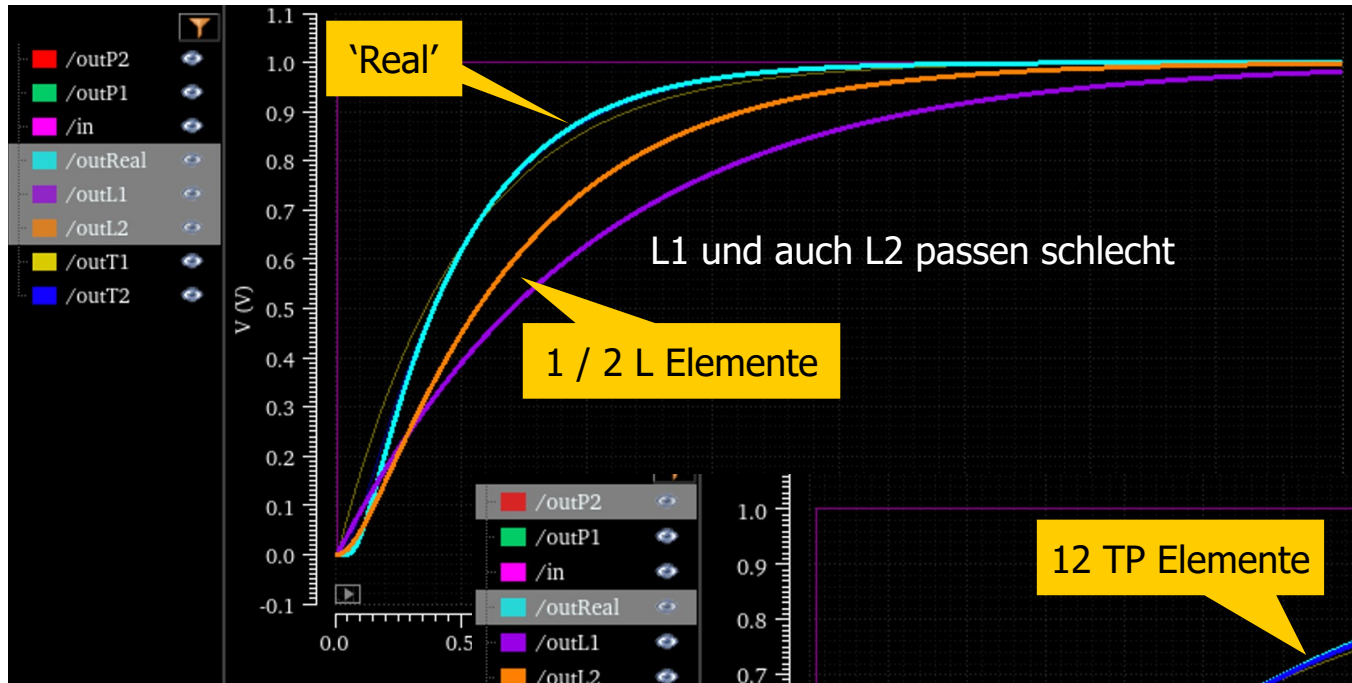
- **Eine wichtige Aussage der ‚Elmore Theorie‘ ist, dass Näherungen mit wenigen T- oder P-Elementen die Realität viel besser wiedergeben als wenige L-Elemente**

Simulation

- Vergleiche 'real' (simuliert mit 100 RC Elementen) mit 1 oder 2 L,T oder P Elementen:

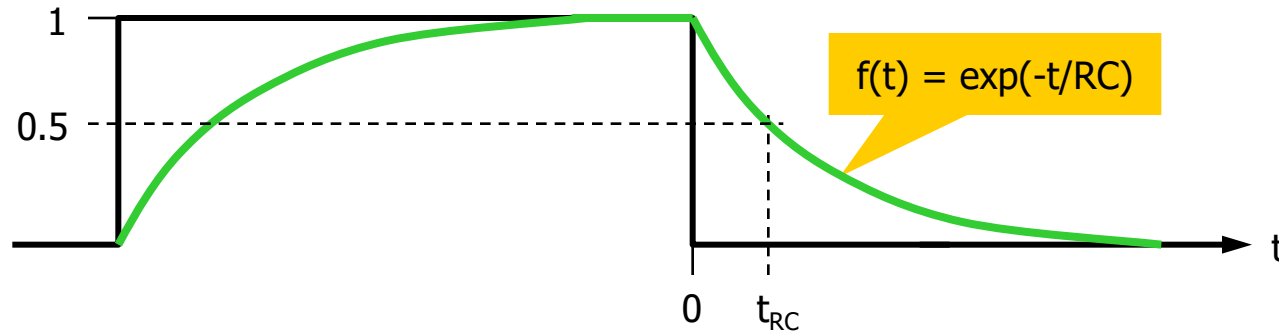


Ergebnisse



RC vs. t_{pd}

- Ein RC Glied erzeugt am Ausgang ein Signal $f(t) = \exp(-t/RC)$

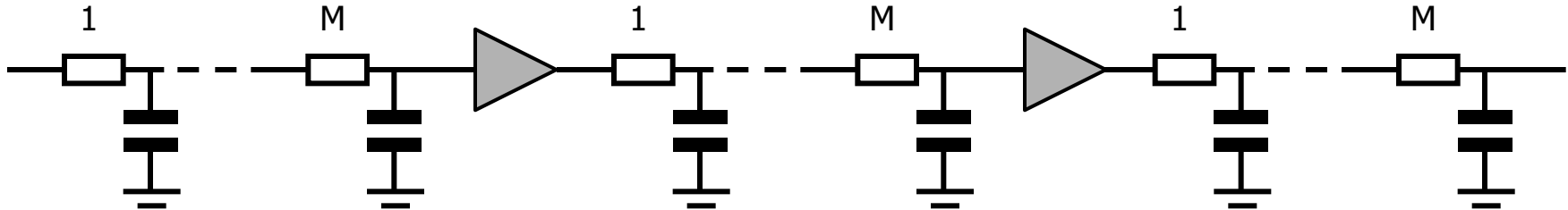


- Zur Berechnung der Verzögerungszeit sucht man t_{RC} mit $f(t_{RC})=0.5$

$$\exp\left(-\frac{t_{RC}}{RC}\right) = \frac{1}{2} \quad \Leftrightarrow \quad -\frac{t_{RC}}{RC} = -\ln(2) \quad \Leftrightarrow \quad t_{RC} = 0.693 \cdot RC$$

RC Verzögerung mit Zwischen-Buffern

- Idee: Nach Stücken der Länge M je einen Buffer mit Verzögerung t_{buf} einfügen:



- Gesamtlänge: N Elemente
- Anzahl Segmente: $N_{\text{SEG}} = N/M$
- Anzahl Buffer: $N_{\text{BUF}} = N/M - 1$

$$\begin{aligned}
 t_p(M) &= N_{\text{SEG}} \cdot t_{\text{SEG}} + N_{\text{BUF}} \cdot t_{\text{BUF}} \\
 &= \frac{N}{M} \cdot 0.35 \cdot R_0 C_0 \cdot M \cdot (M + 1) + \left(\frac{N}{M} - 1 \right) \cdot t_{\text{BUF}} \\
 &= 0.35 \cdot R_0 C_0 \cdot N \cdot (M + 1) + \left(\frac{N}{M} - 1 \right) \cdot t_{\text{BUF}}
 \end{aligned}$$

$$\frac{\partial t_p(M)}{\partial M} = 0.35 \cdot R_0 C_0 \cdot N - \frac{N}{M^2} \cdot t_{\text{BUF}} = 0$$

$$\Rightarrow M = \sqrt{\frac{t_{\text{BUF}}}{0.35 \cdot R_0 C_0}} = 1.7 \sqrt{\frac{t_{\text{BUF}}}{R_0 C_0}}$$

Optimale
Anordnung

Beispiel 0.18 μ m Technologie

Es ist immer wichtig, die Größenordnungen abzuschätzen!

- Betrachte **Poly** für 10 μ m lange Strecke, $W=0.18\mu$ m ($10/0.18 \sim 60$ Squares)
- $R = 8 \text{ Ohm / square}$, also $R_0=444 \text{ Ohm}$
- $C \sim 1\text{fF}$ (für 10 μ m)
- $RC \sim 0.5\text{ps}$ für 10 μ m – Meist völlig vernachlässigbar -> 10 μ m Poly (ohne Last) unkritisch
- Wann wird $RC=20\text{ps}$?
 $20\text{ps} / 0.5\text{ps} = 40$, $\text{sqrt}(40) \sim 6.5 \Rightarrow \text{Bei } L=6.5 \times 10\mu\text{m} = \mathbf{65\mu\text{m}}$
- Bei einer Lastkapazität schlägt der hohe Poly Widerstand zu. Vorsicht!

Typisches Buffer Layout

